

PCT

ORGANISATION FÜR GEISTIGES EIGENTUM
Internationales BüroINTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)(51) Internationale Patentklassifikation ⁷ :

H04L 25/02, 7/10, H04J 3/06

A1

(11) Internationale Veröffentlichungsnummer: WO 00/56026

(43) Internationales

Veröffentlichungsdatum:

21. September 2000 (21.09.00)

(21) Internationales Aktenzeichen:

PCT/DE00/00641

(22) Internationales Anmeldedatum:

1. März 2000 (01.03.00)

(30) Prioritätsdaten:

199 11 464.1

15. März 1999 (15.03.99)

DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS
AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2,
D-80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): BAUTH, Fritz, Jörg
[DE/DE]; Ignaz-Günther-Strasse 19, D-83607 Holzkirchen
(DE).(74) Gemeinsamer Vertreter: SIEMENS AKTIENGE-
SELLSCHAFT; Postfach 22 16 34, D-80506 München
(DE).(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE,
CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE).

Veröffentlicht

Mit internationalem Recherchenbericht.

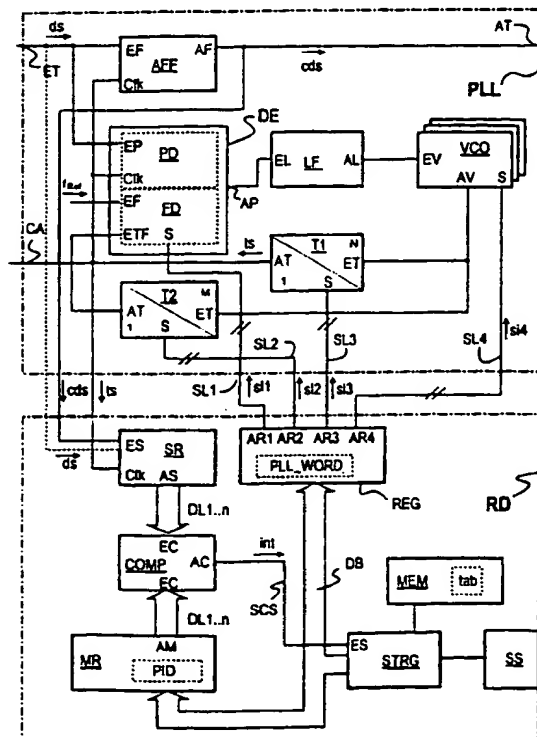
Vor Ablauf der für Änderungen der Ansprüche zugelassenen
Frist; Veröffentlichung wird wiederholt falls Änderungen
eintreffen.(54) Title: PRODUCTION OF CLOCK SIGNALS FOR SAMPLING DATA SIGNALS WITH DIFFERENT RATES USING A
PHASE-LOCKING LOOP(54) Bezeichnung: GEWINNUNG VON TAKTSIGNALEN ZUR ABTASTUNG VON DATENSIGNALEN UNTERSCHIEDLICHER
DATENRATEN MIT HILFE EINES PHASENREGELKREISES

(57) Abstract

During a synchronisation process carried out using a phase-locking loop (PLL), one data signal (cds, ds) after the other is sampled with a clock signal (ts) with different frequencies, these different frequencies being allocated to different transmission protocols. Said data signals are checked for the presence of protocol identification information (PID1...n) allocated to the selected clock signal (ts) until said protocol identification information (PID1...n) is detected. The frequency resolution of the phase-locking loop (PLL) is advantageously increased, which in turn improves the synchronisation of the clock signal (ts) with the data signal (ds).

(57) Zusammenfassung

Bei einem Synchronisiervorgang mit Hilfe eines Phasenregelkreises (PLL) wird ein Datensignal (cds, ds) nacheinander mit einem Taktsignal (ts) mit unterschiedlichen Frequenzen, die unterschiedlichen Übertragungsprotokollen zugeordnet sind, abgetastet und auf das Vorhandensein einer dem ausgewählten Taktsignal (ts) zugeordneten Protokoll-Identifizierungsinformation (PID1...n) hin überprüft, bis eine Protokoll-Identifizierungsinformation (PID1...n) detektiert wird. Vorteilhaft wird die Frequenzauflösung des Phasenregelkreises (PLL) erhöht und somit die Synchronisierung des Taktsignals (ts) auf das Datensignal (ds) verbessert.



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

GEWINNUNG VON TAKTSIGNALEN ZUR ABTASTUNG VON DATENSIGNALEN UNTERSCHIEDLICHER DATENRATEN MIT HILFE EINES PHASENREGELKREISES

5

Die weitgehende Transparenz optischer Netze hinsichtlich Datenübertragungsraten sowie der Einsatz unterschiedlicher Übertragungsverfahren bzw. Übertragungsprotokolle für die Übermittlung der digitalen Informationen - beispielsweise Synchroner Digitale Hierarchie SDH, Gigabit-Ethernet, Fiber Channel - erfordert zukünftige Einrichtungen zur Datenregenerierung bzw. zur Wiederherstellung der Amplitude, Flanke und des Taktes eines übermittelten, digitalen Datensignals bzw. Datenstromes - auch als "3R-Datenregenerierung" bezeichnet.

Vorrichtungen zur Erzeugung eines Taktsignals aus einem digitalen Datenstrom bzw. aus einem Datensignalstrom sind bekannt. Für die Taktrückgewinnung werden häufig Phasen-/Frequenzregelkreise bzw. Phasenregelschleifen eingesetzt, welche beispielsweise einen Phasendiskriminator, einen Frequenzdiskriminator, Schleifenfilter, spannungsgesteuerte Oszillatoren - auch als VCO bezeichnet - und einstellbare digitale Frequenzteiler umfassen. Die Funktion von Phasenregelschleifen zur Rückgewinnung des Taktes aus einem digitalen Datenstrom und die Abtastung des zu regenerierenden, digitalen Datenstromes mit Hilfe eines Abtast-Flip-Flops sind dem Fachmann hinreichend bekannt, so daß auf deren Funktionsweise nicht näher eingegangen wird.

30

Zur Voreinstellung der Phasenregelschleife werden unterschiedliche Verfahren zur Ermittlung der Datenübertragungsrates des digitalen Datenstromes eingesetzt. Alle insbesondere in Weitverkehrsnetzen bzw. WAN-Kommunikationsnetzen eingesetzten Verfahren beruhen auf einer mehr oder weniger exakten Ermittlung der statistisch verteilten Flankenwechsel des Datenstromes innerhalb eines definierten Beobachtungszeitraums.

35

mes. Aus der Anzahl der erkannten Flankenwechsel können Rückschlüsse auf die aktuelle Datenübertragungsrate geschlossen werden. Diese Verfahren werden auch als Flankendichteanalysen bezeichnet. Für niedrige Übertragungsraten kommen neben der
5 beschriebenen Flankendichteanalyse auch Periodendauermessungen einzelner Bits zum Einsatz.

In der Offenlegungsschrift DE 197 04 299 A1 ist beispielsweise eine Vorrichtung zur Gewinnung eines Taktsignals aus
10 einem Datensignal sowie eine Bitratenerkennungseinrichtung zur Ermittlung der Bitrate des eingehenden Datensignals beschrieben. Die Vorrichtung umfaßt eine Phasen-/Frequenzregeleinrichtung sowie eine im Rückkopplungszweig der Phasen-/Frequenzregeleinrichtung angeordnete und mit
15 Hilfe eines Datenwortes umschaltbares Frequenzteilereinrichtung. Die umschaltbare Frequenzteilereinrichtung ist mit der Bitratenerkennungseinrichtung verbunden, welcher der digitale Datenstrom und zumindest ein Referenzfrequenzsignal zuführbar sind. In Abhängigkeit des anliegenden Referenzfrequenzsignals und des herangeführten digitalen Datenstromes wird durch die
20 Bitratenerkennungseinrichtung ein Bitraten-abhängiges Datenwort erzeugt, welches anschließend der in der Phasen-/Frequenzregeleinrichtung angeordneten Frequenzteilereinrichtung zugeführt wird. Die beschriebene Vorrichtung zur Gewinnung eines Taktsignals aus einem digitalen Datensignal bzw.
25 Datenstrom hat den Nachteil, daß die Auflösung der Erkennungsschaltung stark begrenzt ist, d.h. Übertragungsraten des digitalen Datenstromes, die sich um weniger als den Faktor 4 unterscheiden, können durch diese nicht sicher differenziert werden. Ein weiterer Nachteil besteht in der Gefahr einer
30 Fehlsynchronisierung auf Nebenlinien des Frequenzspektrums während der Übertragung spezieller Dateninhalte - beispielsweise bei der Übertragung von AIS-Informationen bei SDH-Signalen - Synchroner Digitale Hierarchie.

35

Der Erfindung liegt die Aufgabe zugrunde, die Gewinnung eines Taktsignals aus einem übermittelten, digitalen Datensignal

während eines Synchronisierungsvorgangs und insbesondere die Synchronisierung des Taktsignals auf das eingehende digitale Datensignal zu verbessern. Die Aufgabe wird durch ein Verfahren und durch eine Anordnung ausgehend von einem Verfahren und einer Anordnung gemäß den Merkmalen des Oberbegriffs der Patentansprüche 1 und 5 durch deren kennzeichnende Merkmale gelöst.

Durch das erfindungsgemäße Verfahren wird eine automatische Gewinnung von Taktsignalen zur Abtastung von Datensignalen unterschiedlicher Datenraten mit Hilfe eines Phasenregelkreises realisiert. Der wesentliche Aspekt des erfindungsgemäßen Verfahrens besteht darin, daß bei einem Synchronisierungsvorgang das Datensignal nacheinander mit einem Taktsignal mit unterschiedlichen Frequenzen, die unterschiedlichen Übertragungsprotokollen zugeordnet sind, abgetastet und auf das Vorhandensein einer dem ausgewählten Taktsignal zugeordneten Protokoll-Identifizierungsinformation hin überprüft wird, bis eine Protokoll-Identifizierungsinformation detektiert wird.

20

Der wesentliche Vorteil des erfindungsgemäßen Verfahrens besteht darin, daß durch die Verknüpfung von der Erfassung der Übertragungsrate des übermittelten, digitalen Datensignals und der Erfassung des auf der Frequenz des digitalen Datensignals bzw. des erzeugten Taktsignals abgestimmten Übertragungsprotokolls eine Fehlsynchronisation des erzeugten Taktsignals auf Nebenlinien, Harmonische und Subharmonische der Übertragungsfrequenz bzw. der Übertragungsrate des Datensignals vermieden wird. Durch das erfindungsgemäße Verfahren können auch im Frequenzbereich benachbart angeordnete Übertragungsraten sicher unterschieden werden - z.B. Unterscheidung von "Gigabit-Ethernet" mit einer Übertragungsrate von 1,25 GBit/s und "Fiber Channel" mit einer Übertragungsrate von 1,064 GBit/s. Ein weiterer Vorteil des erfindungsgemäßen Verfahrens besteht darin, daß eine automatische Einstellung der Übertragungsrate zur "3R-Datenregenerierung" für rahmenorientierte Übertragungsverfahren sowie die automatische

Erkennung des jeweiligen Übertragungsprotokolls ermöglicht wird. Durch das erfindungsgemäße Verfahren wird in zukünftigen, optischen Kommunikationsnetzen neben einer reinen Wellenlängenkonvertierung mittels flexibler "3R-Datenregenerierung" eine Analyse der jeweils übertragenen digitalen Datensignale bzw. Datenströme ermöglicht - beispielsweise für die Aufbereitung einer Statistik, für die Realisierung einer Netzplanung oder für eine volumenabhängige Abrechnung.

Weitere vorteilhafte Ausgestaltungen des erfindungsgemäßen Verfahrens sowie eine Anordnung zur automatischen Gewinnung von Taktsignalen sind den weiteren Ansprüchen zu entnehmen.

Im folgenden wird das erfindungsgemäße Verfahren anhand zweier Zeichnungen näher erläutert. Dabei zeigen:

FIG 1 eine Schaltungsanordnung zur erfindungsgemäßen Gewinnung eines Taktsignals aus einem übermittelten, digitalen Datenstrom und

20

FIG 2 eine beispielhafte, tabellarische Darstellung der für die Durchführung des erfindungsgemäßen Verfahrens erforderlichen und in einem Speicher der Schaltungsanordnung gespeicherten binären Informationen.

25

FIG 1 zeigt in einem Blockschaltbild ein Ausführungsbeispiel einer Schaltungsanordnung zur Erzeugung eines Taktsignals ts aus einem herangeführten, digitalen Datensignal bzw. Datenstrom ds. Die in FIG 1 dargestellte Schaltungsanordnung ist in zwei jeweils durch ein strichpunktiertes Rechteck dargestellte, funktionale Schaltungseinheiten PLL, RD unterteilbar. Die erste funktionale Schaltungseinheit umfaßt eine dem Fachmann allgemein bekannte Phasen-/Frequenzregelvorrichtung (PLL) - auch als Phasenregelkreis oder PLL-Schaltung bezeichnet - und die zweite Schaltungseinheit eine mit der Phasen-/Frequenzregelvorrichtung (PLL) verbundene Rahmenerkennungs-

30

35

einheit RD, welche im folgenden auch als Rahmendetektor bezeichnet wird.

An einem Eingang ET der Phasen-/Frequenzregeleinrichtung PLL ist ein mit Hilfe eines Übertragungsprotokolls übermittelter, digitaler Datenstrom ds herangeführt, welcher an einen Eingang EF eines Abtast-Flip-Flops AFF weitergeleitet ist. Für das Ausführungsbeispiel sei angenommen, daß der Datenstrom ds gemäß der Synchronen Digitalen Hierarchie - SDH - übermittelt werden. Die Synchrone Digitale Hierarchie basiert auf der synchronen Übertragung von Nutzinformationen unter Verwendung von synchronen Transportmodulen - auch als STM bezeichnet - mit einheitlicher Struktur. Das Basistransportmodul ist der STM-1-Rahmen mit einer Datenübertragungsrate von 155 MBit/s. Jeder STM-1-Rahmen besteht aus einer Matrix aus 9 Reihen mit jeweils 270 Datenoktetts. Der Rahmen hat eine Wiederholfrequenz von 125 μ s, die Übertragung erfolgt mit einer Bitrate von 155,520 MBit/s. Der STM-1-Rahmen ist in ein Nutzfeld - auch als Payload bezeichnet - und ein Kopffeld - auch als Overhead bezeichnet -, die ersten 9 Oktett aller 9 Reihen beinhalten das Kopffeld, die restlichen Spalten das Nutzfeld. Im Kopffeld sind Informationen enthalten, die zum Betrieb der SDH-Systeme erforderlich sind, diese werden auch als "Section-Overhead" - SOH - bezeichnet und in den SOH-Feldern der Kopffeldes transportiert. In den SOH-Feldern sind beispielsweise die dem Fachmann bekannten und jeweils Rahmenerkennungs-Informationen repräsentierende A1- und A2-Bytes enthalten.

Der Dateneingang ET der Phasen-/Frequenzregeleinrichtung PLL ist gleichzeitig mit einem ersten Eingang EP einer Diskriminatoreinheit DE verbunden. An einen zweiten Eingang EF der Diskriminatoreinheit DE ist ein eine Referenzfrequenz aufweisendes Referenzsignal f_{Ref} herangeführt. Die Diskriminatoreinheit DE ist funktional in zwei Komponenten unterteilt, einem Phasendiskriminator PD und einem Frequenzfensterdiskriminator FD - jeweils durch ein strichliertes Rechteck verdeutlicht.

Die Diskriminatoreinheit DE ist über einen Ausgang AP mit einem Eingang EL eines Schleifenfilters LF verbunden, welcher wiederum über einen Ausgang AL mit einem Eingang EV eines spannungsgesteuerten Oszillators VCO verbunden ist. An einen
5 Ausgang AV des spannungsgesteuerten Oszillators VCO ist jeweils über einen Eingang ET ein erster und zweiter einstellbarer, digitaler Frequenzteiler T1, T2 angeschlossen. Über jeweils einen Ausgang AT sind der erste digitale Frequenzteiler T1 mit einem Takteingang CLK des Phasendiskriminators PD und
10 der zweite digitale Frequenzteiler T2 mit einem Teilereingang ETF des Frequenzfensterdiskriminators FD verbunden. Die beschriebene Diskriminatoreinheit DE, bestehend aus einem Phasen- und einem Frequenzfensterdiskriminator PD, FD, sowie der Schleifenfilter LF, der spannungsgesteuerte Oszillator VCO
15 und die beiden einstellbaren, digitalen Frequenzteiler T1, T2 sind funktionale Bestandteile einer allgemein bekannten Phasenregelschleife, deren Funktion zur Rückgewinnung des Taktes aus dem herangeführten Datenstrom ds neben der Abtaktung des zu regenerierenden Datenstromes ds in Verbindung mit dem Abtast-Flip-Flop AFF dem Fachmann hinreichend bekannt ist und
20 im folgenden nicht näher beschrieben wird.

Die Phasen-/Frequenzregleinrichtung PLL weist einen Taktausgang CA auf, welcher mit dem Ausgang AT des ersten Frequenzteilers T1 verbunden und an welchen das erzeugte Taktsignal ts weitergeleitet ist. Der Ausgang AT des ersten Frequenzteilers T1 ist weiterhin mit einem Takteingang CLK des Abtast-Flip-Flops AFF verbunden. Über einen Ausgang AF ist der Abtast-Flip-Flop AFF an einen Datenausgang AT der Phasen-
30 /Frequenzregleinrichtung PLL angeschlossen, an welchen der mit Hilfe des Abtast-Flip-Flops AFF regenerierte Datenstrom cds weitergeleitet ist. Desweiteren ist der Ausgang AF des Abtast-Flip-Flops AFF mit einem Eingang ES eines in der Rahmenerkennungseinheit RD angeordneten Schieberegisters SR verbunden. Das Schieberegister SR weist einen Takteingang CLK
35 auf, welcher mit dem Ausgang AT des ersten Frequenzteiler T1 verbunden ist.

In der Rahmenerkennungseinheit RD ist weiterhin ein Speicher MEM angeordnet, welcher über eine Verbindungsleitung mit einer in der Rahmenerkennungseinheit RD angeordneten Steuereinheit STRG verbunden ist. Im Speicher MEM ist eine in FIG 2 dargestellte Tabelle tab gespeichert ist. Die dargestellte Tabelle tab umfaßt mehrere Tabelleneinträge tel...n, wobei jeder Tabelleneintrag tel...n jeweils einem definierten Übertragungsprotokoll zugeordnet ist. In jedem Tabelleneintrag tel...n ist eine das jeweils definierte Übertragungsprotokoll eindeutig identifizierende Protokoll-Identifizierungsinformation PID1...n - z.B. die in den Overhead-Informationen enthaltenen Rahmen-Erkennungsinformationen, hier das A1- und A2-Byte -, eine Regelkreis-Steuerinformation PLL_WORD1...n zur Einstellung der Phasen-/Frequenzregleinrichtung PLL auf die zu erwartende Übertragungsrate des Datenstromes ds sowie eine weitere Overhead-Steuerinformation CNT_WD1...n zur optionalen protokollspezifischen Auswertung und Bearbeitung der in den jeweiligen Datenpakten bzw. Datenrahmen des Datenstromes ds, cds angeordneten Overhead-Informationen gespeichert. Mit Hilfe der Overhead-Steuerinformationen CNT_WD1...n können beispielsweise bei einem gemäß dem SDH-Übertragungsverfahren übermittelten Datenstrom ds das in den Overhead-Informationen enthaltene B1-Byte ausgewertet und eventuell neu berechnet werden.

Die Steuereinheit STRG ist über einen mehrere Datenleitungen umfassenden Datenbus DB mit einem in der Rahmenerkennungseinheit RD angeordneten Speicherregister MR verbunden, an welchem jeweils eine im Speicher MEM gespeicherte Protokoll-Identifizierungsinformation PID1...n übermittelbar und in diesem speicherbar ist - durch ein strichliertes Rechteck angedeutet. Das Schieberegister SR und das Speicherregister MR sind jeweils über einen Ausgang AS, AM und jeweils über mehrere Datenleitungen DL1...n mit entsprechenden Eingängen EC einer Vergleicheinheit COMP - beispielsweise einen Komparator - verbunden. In dem Komparator COMP sind Vergleichermittel-

tel angeordnet, durch welche die an den Eingängen EC anliegenden binären Informationen bzw. Datenworte verglichen werden und das Vergleichsergebnis in Form eines Datensignals int über einen Ausgang AC und eine Signalisierungsleitung SCS
5 an einen Eingang ES der Steuereinheit STRG übermittelt wird.

Über den Datenbus DB ist die Steuereinheit STRG weiterhin mit einer Registereinheit REG verbunden, welche über erste Ausgänge A1 und über erste Steuerleitungen SL1 mit einem Steuer-
10 eingang S des Frequenzfensterdiskriminators FD, über zweite Ausgänge A2 und über zweite Steuerleitungen SL2 mit entsprechenden Steuereingängen S des zweiten steuerbaren Frequenzteilers T2, über dritte Ausgänge A3 und dritte Steuer-
15 leitungen SL3 mit entsprechenden Eingängen S des ersten steuerbaren Frequenzteilers T1 und über vierte Ausgänge A4 und vierte Steuerleitungen SL4 mit entsprechenden Eingängen S des spannungsgesteuerten Oszillators VCO verbunden ist. Die Registereinheit REG weist ein oder mehrere Speicherregister auf -
20 in FIG 1 ist nur ein Speicherregister durch ein strichliertes Rechteck dargestellt - in denen jeweils die im Speicher MEM gespeicherten Regeleinrichtungs-Steuerinformationen PLL_WORD1...n oder davon abgeleitete Steuerworte bzw. binäre
Informationen speicherbar sind, mit denen die in der Phasen-/Frequenzregelrichtung PLL angeordneten schaltungstechnischen Komponenten - hier FD, PD, LF, VCO, T1 und T2 - gesteuert werden. Alternativ können von den in der Registereinheit
25 REG gespeicherten Steuerworten analoge Signale abgeleitet und den schaltungstechnischen Komponenten zugeführt werden.

30 Die Rahmenerkennungseinheit RD weist weiterhin eine Steuer-/Überwachungsschnittstelle SS auf, welche über eine Verbindungsleitung mit der Steuereinheit STRG verbunden ist.

Das mit Hilfe der in FIG 1 dargestellten Schaltungsanordnung
35 realisierbare Verfahren zur Erzeugung eines Taktsignals ts aus dem mit Hilfe eines Übertragungsprotokolls übermittelten digitalen Datenstrom ds ermöglicht wahlweise sowohl die manu-

elle als auch die automatische Auswahl eines Übertragungsprotokolls und eine entsprechende Voreinstellung einer an das ausgewählte Übertragungsprotokoll angepaßten Datenübertragungsrate. Im Folgenden wird das Verfahren zur Erzeugung des Taktsignals t_s basierend auf einer manuellen - auch als manueller Betriebsmodus bezeichnet - und basierend auf einer automatischen Auswahl - auch als automatischer Betriebsmodus bezeichnet - des Übertragungsprotokolls und der dazugehörigen Datenübertragungsrate anhand der in FIG 1 dargestellten Schaltungsanordnung näher erläutert. Für das weitere Ausführungsbeispiel sei angenommen, daß der digitale Datenstrom ds mit Hilfe eines rahmenorientierten Übertragungsprotokolls - hier STM-1 - an den Eingang ET der Phasen-/Frequenzregel Einrichtung (PLL) übermittelt und an den Dateneingang EF des Abtast-Flip-Flops AFF weitergeleitet wird.

Manueller Betriebsmodus

Bei manuellem Betrieb der Schaltungsanordnung ist das Übertragungsprotokoll bekannt, mit welchem der digitale Datenstrom ds an den Dateneingang EF des Abtast-Flip-Flops AFF übermittelt wird. Aufgrund der Kenntnis des Übertragungsprotokolls wird von der in der Rahmenerkennungseinheit RD angeordneten Steuereinheit STRG der dem STM-1-Übertragungsprotokoll zugeordnete erste Tabelleneintrag tel der Tabelle tab ausgewählt und die entsprechende Regelkreis-Steuerinformation - hier PLL_Wort1 aus dem Speicher MEM ausgelesen und über den Datenbus DB in das oder die entsprechenden Register in der Registereinheit REG übermittelt. Alternativ können von der übermittelten Regelkreis-Steuerinformation PLL_Wort1 weitere Steuerinformationen abgeleitet und in entsprechenden Register der Registereinheit REG gespeichert werden. Gemäß einer weiteren Ausgestaltungsvariante - nicht dargestellt - können auch mehrere dem STM-1-Übertragungsprotokoll zugeordnete Steuerworte bzw. Regeleinrichtungs-Steuerinformationen in den jeweiligen Tabelleneinträgen $tel...n$ der Tabelle tab gespeichert sein - in FIG 2 nicht dargestellt -, welche über den

Datenbus DB in entsprechende Register der Registereinheit REG übermittlelt werden. Durch das Übermittleln des oder der im Speicher MEM gespeicherten Regelkreis-Steuerinformation PLL_Wort1...n werden die schaltungstechnischen Komponenten VCO, T1, T2, FD, PD, LF auf die entsprechende Datenübertragungsrate des eingehenden, digitalen Datenstromes ds - hier 155 MBit/s voreingestellt. Desweiteren wird durch die Steuereinheit STRG die dem ausgewählten Übertragungsprotokoll - hier STM-1 - zugeordnete Protokoll-Identifizierungsinformation - hier PID1 - aus dem entsprechenden Tabelleneintrag tel der Tabelle tab ausgelesen und über den Datenbus DB an das Speicherregister MR übermittlelt und in diesem zwischengespeichert. In diesem Ausführungsbeispiel wird als Protokoll-Identifizierungsinformation PID1 das für das STM-1-Übertragungsprotokoll spezifische Rahmenkennungswort bestehend aus dem letzten A1-Byte und dem ersten A2-Byte der Overhead-Informationen an das Speicherregister REG übermittlelt.

Wie bereits erläutert, wird die in der Phasen-/Frequenzregleinrichtung PLL angeordnete Phasenregelschleife durch die in der Registereinheit REG gespeicherte Regelkreis-Steuerinformation PLL_WORD1 auf die Datenübertragungsrate des eingehenden digitalen Datenstromes ds angepaßt. Beispielsweise wird durch das Übermittleln entsprechender Steuerinformationen si2,3 über die Steuerleitungen SL2 und SL3 die steuerbaren Frequenzteiler T1, T2 derart eingestellt, daß die Frequenz des vom spannungsgesteuerten Oszillator VCO herangeführten Signals zur Anpassung des optimalen Arbeitspunktes des Phasen-Diskriminators PD und des Frequenzfenster-Diskriminators FD entsprechend geteilt wird. Mit Hilfe einer zusätzlichen über die vierte Steuerleitung SL4 übermittelten Steuerinformation - hier si4 - wird eine eventuelle erforderliche Voreinstellung bzw. Umschaltung des spannungsgesteuerten Oszillators VCO realisiert. Gemäß einer alternativen Ausgestaltungsvariante der Schaltungsanordnung können mehrere spannungsgesteuerte Oszillatoren VCO in der Phasen-/Frequenzregleinrichtung PLL angeordnet sein, wobei jeweils

ein auf die Datenübertragungsrate des eingehenden digitalen Datenstroms ds abgestimmter spannungsgesteuerter Oszillator VCO mit Hilfe des vierten Steuersignals si4 selektierbar ist.

- 5 Gemäß einer weiteren, in FIG 1 nicht dargestellten Ausgestaltungsvariante der Schaltungsanordnung wird der in der Phasen-/Frequenzregleinrichtung PLL angeordnete Schleifenfilter LF ebenfalls in Abhängigkeit der in der Registereinheit REG gespeicherten Regelkreis-Steuerinformation PLL_WORD1...n gesteuert.
- 10

Der mit Hilfe des rückgewonnenen Taktsignals ts abgetastete digitale Datenstrom cds wird in das Schieberegister SR eingelesen, d.h. das Schieberegister SR enthält die mit Hilfe des rückgewonnenen Taktes ts eingelesenen Datenbits. Alternativ kann auch der am Eingang ET anliegende, nicht abgetastete Datenstrom ds über eine Verbindungsleitung - in FIG 1 durch eine strichlierte Verbindungsleitung verdeutlicht - in das durch das Taktsignal ts getaktete Schieberegister SR eingelesen werden.

15

20

Die in das Schieberegister SR eingelesene Bitfolge wird durch die Vergleichereinheit COMP mit der im Speicherregister MR zwischengespeicherten Protokoll-Identifizierungsinformation - hier pid1 - permanent verglichen. Wird durch die Vergleichereinheit COMP eine Übereinstimmung bzw. teilweise Übereinstimmung der eingelesenen, digitalen Bitfolge mit der Protokoll-Identifizierungsinformation pid1 festgestellt, wird in der Vergleichereinheit COMP ein entsprechendes Steuersignal int generiert und über die Steuerleitung SCS an die Steuereinheit STRG übermittelt. Durch das Übermitteln der Steuerinformation int an die Steuereinheit STRG wird das Erkennen des ausgewählten Übertragungsprotokolls - hier STM1 - und die Einstellung der zugehörigen Datenübertragungsrate an der Phasen-/Frequenzregleinrichtung PLL angezeigt.

25

30

35

Um eine Verbesserung der Synchronisierung des erzeugten Taktsignals ts mit dem eingehenden, digitalen Datenstrom ds zu erreichen, wird gemäß einer weiteren, nicht dargestellten Ausgestaltungsvariante durch die Steuereinheit STRG überprüft, ob die Protokoll-Identifizierungsinformation - hier $pid1$ - in einer für das ausgewählte Übertragungsprotokoll spezifischen Zykluszeit mehrfach, beispielsweise dreimal, erkannt wird. Liegt aufgrund des eingesetzten Übertragungsprotokolls eine asynchrone Rahmenfolge vor - z.B. bei Verwendung des Gigabit-Ethernet-Übertragungsprotokolls - kann mit Hilfe dieser Ausgestaltungsvariante das Pausenpattern - auch als "Interframe Gap" bezeichnet - analysiert werden.

Mit Hilfe der Steuereinheit STRG kann bei Erkennen der ausgewählten bzw. erwarteten Protokoll-Identifizierungsinformation $pid1$ im abgetasteten Datenstrom cds der Beginn der Datenübertragung protokolliert werden. Vorteilhaft kann bei Ausbleiben der periodisch erzeugten Datenrahmen - z.B. bei Verwendung des STM-1-Übertragungsprotokolls - in Verbindung mit weiteren Parametern - z.B. Verlust des Signals (LOS, Lost of Signal) oder optische Pegel - auf eine Störung oder das Ende der Übertragung geschlossen werden. Durch die erfindungsgemäße Analyse der ankommenden Datenrahmen kann für den Fall, daß durch die in der Phasen-/Frequenzregleinrichtung PLL angeordnete Phasenregelschleife eine Synchronisierung auf eine benachbarte Übertragungsrate - z.B. PDH mit 140 Mbit/s - erfolgt ist, die Nichtverwendung bzw. das Nichterkennen des vorgewählten Übertragungsprotokolls erkannt bzw. protokolliert werden. Wird z.B. das vorgewählte Übertragungsprotokoll nicht erkannt, kann ein automatischer Abbruch der Verbindung eingeleitet werden.

Automatischer Betrieb

Bei Verwendung der in FIG 1 dargestellten Schaltungsanordnung im automatischen Betriebsmodus soll das durch die Phasen-/Frequenzregleinrichtung PLL erzeugte Taktsignal ts ohne Be-

dienerereingriff auf den am Dateneingang ET eingehenden digitalen Datenstrom aufsynchronisiert und eine anschließende "3D-Datenregenerierung" des digitalen Datenstromes ds ermöglicht werden. Dazu sind in der im Speicher MEM angeordneten Tabelle tab sämtliche zu erwartende Übertragungsprotokolle mit den dazugehörigen protokollspezifischen Protokoll-Identifizierungsinformationen pid1...n und zugehörige Regeleinrichtungs-Steuerinformation PLL_WORD1...n zur Einstellung der Phasen-/Frequenzregeleinrichtung PLL auf die zu erwartende Datenübertragungsrate gespeichert. Mit der Aktivierung des Automatik-Betriebsmodus wird die Steuereinheit STRG veranlaßt, die in der Tabelle tab des Speichers MEM angeordneten Protokoll-Identifizierungsinformationen PID1...n und Regeleinrichtungs-Steuerinformationen PLL_WORD1...n in beschriebener Art und Weise schrittweise so lange zyklisch an die Registereinheit REG bzw. an das Speicherregister MR zu übermitteln, bis durch die Vergleichereinheit COMP ein in der Tabelle tab gespeichertes, definiertes Übertragungsprotokoll erkannt und an die Steuereinheit STRG gemeldet wird. Bei Erkennen eines im Speicher MEM gespeicherten Übertragungsprotokolls wird das zyklische Abarbeiten der im Speicher MEM angeordneten Tabelle tab beendet. Bei Ausbleiben der Erkennung des aktuell selektierten Übertragungsprotokolls wird nach einer vordefinierten, protokollspezifischen Verzögerung das beschriebene, sukzessive Durchlaufen der gespeicherten Protokoll-Identifizierungsinformationen PID1...n, bzw. Regeleinrichtungs-Steuerinformationen PLL_WORD1...n erneut durchgeführt.

Der selbständige Ablauf der Protokollsuche kann vorteilhaft erst durch einen Bedienereingriff freigeschaltet werden. Gemäß einer weiteren vorteilhaften Ausgestaltung ist eine selektive Freischaltung von einer Auswahl der in der Tabelle tab gespeicherten Übertragungsprotokolle mit Hilfe einer entsprechenden Kennung in den jeweiligen Tabelleneinträgen tel...n möglich.

Zur weiteren Verbesserung der Synchronisierüberwachung kann der aktuelle Zustand Phasen-/Frequenzregel Einrichtung PLL mit Hilfe eines allgemein bekannten, zusätzlich in der Phasen-/Frequenzregel Einrichtung PLL angeordneten Lock-Detektors -
5 nicht dargestellt - erfaßt und an die Steuereinheit STRG gemeldet werden.

Über die mit der Steuereinheit STRG verbundene Steuer-/Überwachungsschnittstelle SS können die im Speicher MEM gespeicherten Tabelleneinträge teilweise bearbeitet bzw. aktualisiert werden, sowie neben der Überwachung der jeweils übertragenen Übertragungsprotokolle die Freischaltung bestimmter Übertragungsprotokolle gesteuert werden. Über die Steuer-/Überwachungsschnittstelle SS kann weiterhin zwischen dem beschriebenen manuellen oder automatischen Betriebsmodus umgeschaltet werden. Die Steuer-/Überwachungsschnittstelle SS kann beispielsweise an eine übergeordnete Netzwerkverwaltungs- oder Netzwerkmanagementeinheit angeschlossen werden, so daß es beispielsweise einem Netzbetreiber ermöglicht wird,
10
15
20 die Datenübertragungsrate des an der Phasen-/Frequenzregel Einrichtung PLL eingehenden digitalen Datenstromes ds zu überwachen und zu steuern.

Durch die erfindungsgemäße Verknüpfung der Voreinstellung der zu erwartenden Datenübertragungsrate an der dem Fachmann allgemein bekannten Phasen-/Frequenzregel Einrichtung PLL und der Überprüfung des für die Vermittlung des digitalen Datenstromes eingesetzten Übertragungsprotokolls durch eine teilweise Auswertung der in den einzelnen Datenrahmen enthaltenen Overhead-Informationen wird eine Fehlsynchronisierung des Taktsignals auf Nebenlinien, Harmonischen und Subharmonischen der Datenübertragungsrate vermieden. Durch das erfindungsgemäße Verfahren können auch nur einen geringen Abstand aufweisende Datenübertragungsraten durch Auswertung der unterschiedlichen
30
35 Overhead-Informationen sicher unterschieden werden.

Patentansprüche

1. Verfahren zur automatischen Gewinnung von Taktsignalen (ts) zur Abtastung von Datensignalen (ds) unterschiedlicher Datenraten mit Hilfe eines Phasenregelkreises (PLL),
dadurch gekennzeichnet,
daß bei einem Synchronisiervorgang das Datensignal (cds,ds) nacheinander mit einem Taktsignal (ts) mit unterschiedlichen Frequenzen, die unterschiedlichen Übertragungsprotokollen zugeordnet sind, abgetastet und auf das Vorhandensein einer dem ausgewählten Taktsignal (ts) zugeordneten Protokoll-Identifizierungsinformation (PID1...n) hin überprüft wird, bis eine Protokoll-Identifizierungsinformation (PID1...n) detektiert wird.
2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet,
daß die Protokoll-Identifizierungsinformation (PID1...n) im Overhead eines Datenrahmens enthalten ist.
3. Verfahren nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
daß die Protokoll-Identifizierungsinformation (PID1...n) ein Pausensignal repräsentiert.
4. Verfahren nach Anspruch 2 oder 3,
dadurch gekennzeichnet,
daß nach der Detektion des verwendeten Übertragungsprotokolls eine protokollspezifische Bearbeitung zumindest eines Teils der jeweiligen Overhead-Informationen erfolgt.
5. Anordnung zur automatischen Gewinnung von Taktsignalen (ts) zur Abtastung von mit Hilfe von Übertragungsprotokollen übermittelten Datensignalen (ds) unterschiedlicher Datenraten, wobei die Datensignale (ds) zumindest eine das Übertragungsprotokoll eindeutig identifizierende, binäre Protokoll-Identifizierungsinformation (PID1...n) aufweisen,

- mit einem Phasenregelkreis (PLL) zur Synchronisierung des Taktsignals (ts) mit dem an die Phasen-/Frequenzregleinrichtung herangeführten digitalen Datensignal (ds),
- 5 - mit zumindest einer im Rückkopplungszweig der Phasen-/Frequenzeinrichtung (PLL) angeordneten, steuerbaren Frequenzteilereinrichtung (T1,2),
- mit Abtastmitteln (AFF, SR) zur Abtastung des digitalen Datensignals (ds) mit Hilfe des Taktsignals (ts),
- 10 **dadurch gekennzeichnet,**
- daß eine Steuereinheit (STRG, REG) vorgesehen ist, die eine einem Übertragungsprotokoll entsprechende Frequenz des Taktsignals (ts) einstellt,
- daß ein Protokolldetektor (RD) vorgesehen ist, in welchem
- 15 die Steuereinheit (STRG, REG) angeordnet ist und der zumindest einen Teil des abgetasteten Datensignals (cds, ds) speichert und auf Protokoll-Identifizierungsinformationen (PID1...n) hin untersucht und das Untersuchungsergebnis an die Steuereinheit (STRG) übermittelt, die bei einer fehlenden Protokoll-Identifizierungsinformation (PID1...n) weitere
- 20 festgelegte Frequenzen des Taktsignals (ts) auswählt, bis eine Protokoll-Identifizierungsinformation (PID1...n) im abgetasteten Datensignal (cds, ds) erkannt wird.
- 25 6. Anordnung nach Anspruch 5,
- dadurch gekennzeichnet,**
- daß im Protokolldetektor (RD) mit der Steuereinheit (STRG, REG) verbundene Speichermittel (MEM) zum Abspeichern zumindest einer binären Protokoll-Identifizierungsinformation
- 30 (PID1...n) und zumindest einer der Protokoll-Identifizierungsinformation (PID1...n) jeweils zugeordneten und den Phasenregelkreis (PLL) protokollspezifisch steuernden Regleinrichtungs-Steuerinformation (PLL_WORD1...n) angeordnet sind,
- 35 - daß die Steuereinheit (STRG, REG) Mittel zur Bildung von zumindest einem Steuersignal (sil...4) aus der zumindest einen einer Protokoll-Identifizierungsinformation (PID1...n)

zugeordneten Regeleinrichtungs-Steuerinformation (PLL_WORD1...n) aufweist, wobei das zumindest eine Steuersignal (sil...4) an den Phasenregelkreis (PLL) übermittelt wird,

- 5 - daß im Protokolldetektor (RD) mit der Steuereinheit (STRG, REG) verbundene Detektormittel (SR, COMP, MR) zur Detektion der gespeicherten und der zumindest einen Regeleinrichtungs-Steuerinformation (PLL_WORD1...n) zugeordneten Protokoll-Identifizierungsinformation (PID1...n) im abgetasteten
10 Datensignal (cds, ds) angeordnet sind,
- daß die Detektormittel (SR, COMP, MR) Signalerzeugungsmittel zur Erzeugung eines das Detektionsergebnis repräsentierenden Steuersignals (int) aufweisen, das an die Steuereinheit (STRG, REG) übermittelt wird, und
- 15 - daß die Steuereinheit (STRG, REG) derart ausgestaltet ist, daß aus der zumindest einen gespeicherten Regeleinrichtungs-Steuerinformation (PLL_WORD1...n) zumindest ein eine Frequenzteiler-Steuerinformation repräsentierendes Steuer-
20 signal (sil,3) gebildet und an die zumindest eine Frequenzteilerereinrichtung (T1,2) übermittelt wird.

7. Anordnung nach Anspruch 6,

dadurch gekennzeichnet,

- daß die Steuereinheit (STRG, REG) derart ausgestaltet ist,
- 25 daß bei mehreren in den Speichermitteln (MEM) gespeicherten Protokoll-Identifizierungsinformationen (pid1...n) die diesen zugeordneten Regeleinrichtungs-Steuerinformationen (PLL_WORD1...n) sukzessive an den Phasenregelkreis (PLL) übermittelt und die jeweils zugeordneten Protokoll-Identifizierungsinformationen (PID1...n) im abgetasteten Datenstrom (ds, cds) sukzessive detektiert werden, wobei die sukzessive Übermittlung der Regeleinrichtungs-Steuerinformationen (PLL_WORD1...n) in Abhängigkeit von dem Detektionsergebniss erfolgt.

8. Anordnung nach Anspruch 6 oder 7,
dadurch gekennzeichnet,

- daß die Detektormittel (SR, COMP, MR)
- ein Schieberegister (SR), an welches das abgetastete Datensignal oder das Datensignal (cds, ds) und das Taktsignal (ts) herangeführt sind,
- einen mit dem Schieberegister (SR) und mit der Steuereinheit (STRG, REG) verbundenen Komparator (COMP), und
- ein mit dem Komparator (COMP) und der Steuereinheit (STRG) verbundenes Speicherregister (MR) zum Zwischenspeichern einer Protokoll-Identifizierungsinformation (PID1...n) umfaßt,
- daß der Komparator (COMP) derart ausgestaltet ist, daß die im Speicherregister (MR) gespeicherte Protokoll-Identifizierungsinformation (PID1...n) mit dem in das Schieberegister (SR) eingelesenen, digitalen Datensignal (cds, ds) verglichen wird und das Vergleichsergebnis mit Hilfe des Steuersignals (int) an die Steuereinheit (STRG) übermittelt wird.

9. Anordnung nach einem der Ansprüche 6 bis 8,
dadurch gekennzeichnet,

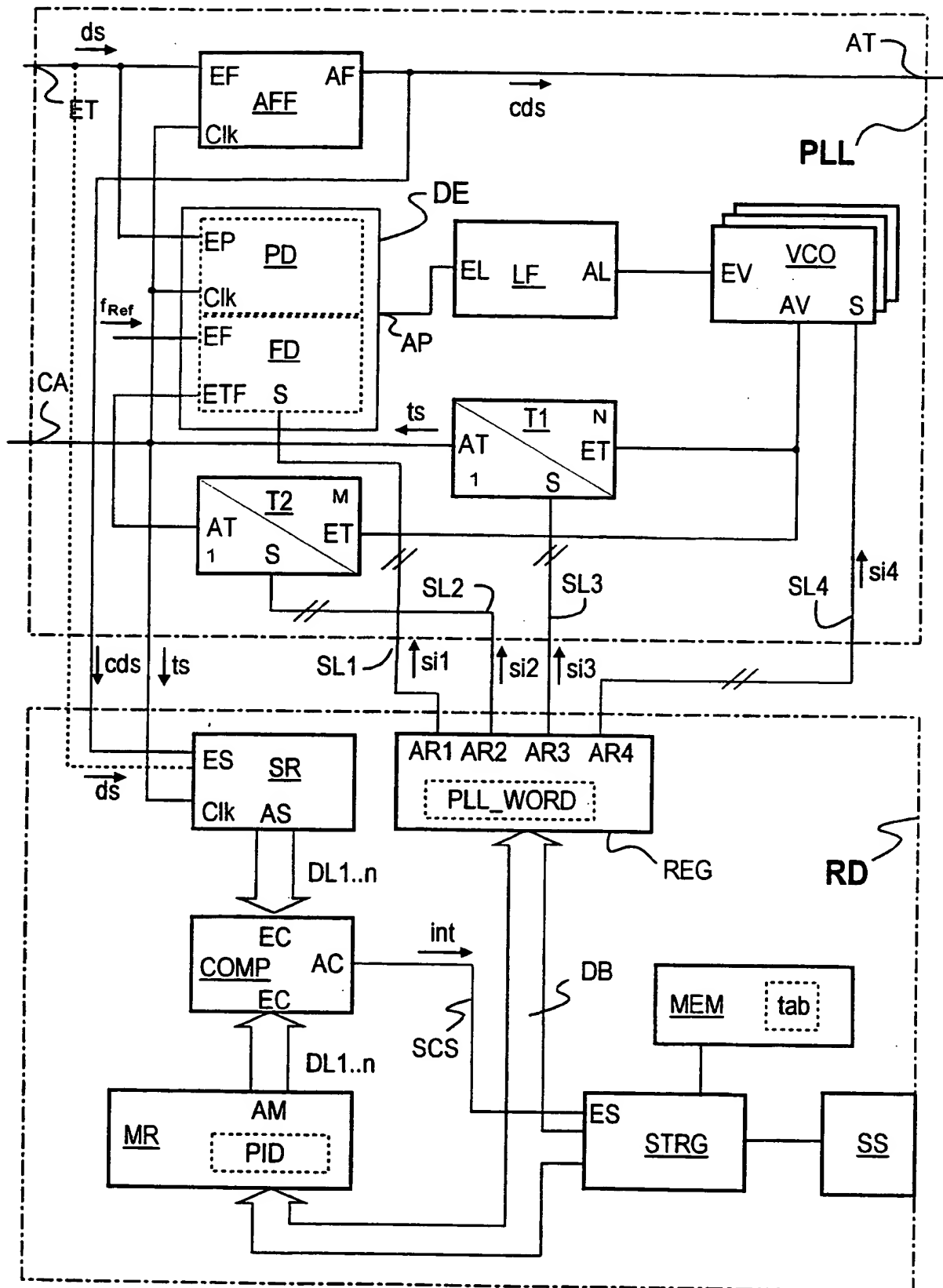
- daß in den Speichermitteln (MEM) unterschiedliche Protokoll-Identifizierungsinformationen (PID1...n) und diesen zugeordnete Overhead-Steuerinformationen (CNT_WD1...n) gespeichert sind,
- daß das abgetastete Datensignal (cds, ds) einer mit der Steuereinheit (STRG, REG) verbunden Overhead-Bearbeitungseinheit zur Bearbeitung von im Datensignal (cds, ds) enthaltenen protokollspezifischen Overhead-Informationen zugeführt ist,
- daß die Overhead-Bearbeitungseinheit und die Steuereinheit (STRG, REG) derart ausgestaltet sind, daß die Overhead-Informationen in Abhängigkeit der zumindest einen dem detektierten Übertragungsprotokoll zugeordneten Overhead-Steuerinformation (CNT_WD1...n) bearbeitet werden.

10. Anordnung nach einem der Ansprüche 6 bis 9,
dadurch gekennzeichnet,
daß die Steuereinheit (STRG, REG) mit einer Steuer-
/Überwachungsschnittstelle (SS) verbunden ist, über welche
- 5 - die in den Speichermitteln (MEM) gespeicherten Informations-
 (PID1...n, PLL_WORD1...n, CNT_WD1...n) aktualisierbar sind,
 und/oder
 - Detektionsergebnisse an eine übergeordnete Kommunikations-
 einheit übermittelbar sind.
- 10 11. Anordnung nach einem der Ansprüche 6 bis 10,
dadurch gekennzeichnet,
daß mehrere spannungsgesteuerte Oszillatoren (VCO) in Abhän-
gigkeit von der Regeleinrichtungs-Steuerinformation
- 15 (PLL_WORD1...n) auswählbar sind.
12. Anordnung nach einem der Ansprüche 6 bis 11,
dadurch gekennzeichnet,
daß im Phasenregelkreis (PLL) ein Frequenzfenster-Diskrimina-
tor (FD) vorgesehen ist, der die Frequenz des Taktsignals
- 20 (ts) in Abhängigkeit von der Regeleinrichtungs-Steuerinforma-
tion (PLL_WORD1...n) festlegt und der ebenfalls von der Steuer-
einheit (STRG, REG) eingestellt wird.
- 25 13. Anordnung nach einem der Ansprüche 5 bis 12,
dadurch gekennzeichnet,
daß im Phasenregelkreis (PLL) ein Schleifenfilter (LF) vorge-
sehen ist, der von der Steuereinheit (STRG) eingestellt wird.
- 30 14. Anordnung und Verfahren nach einem der vorherigen Ansprü-
che,
dadurch gekennzeichnet,
daß das Übertragungsprotokoll ein STM-1- oder STM-4- oder
STM-16-, ein Fiber-Channel- oder ein Gigabit-Ethernet-Proto-
- 35 koll darstellt.

THIS PAGE BLANK (USPTO)

1/2

FIG 1



THIS PAGE BLANK (USPTO)

2/2

FIG 2

tab
↙

Datensatz-Nr.	Übertragungs-Protokoll	Protokoll-Identifizierungs-Information	Regeleinrichtungs-Steuerinformation	Overhead-Steuerinformation
te1	SDH (STM-1) (155 MBit/s)	PID1 (z.B. A1- und A2-Byte im SOH eines SDH-Signals)	PLL_WORD1	CNT_WD1
te2	SDH (STM-4) (622 MBit/s)	PID2 (z.B. A1- und A2-Byte im SOH eines SDH-Signals)	PLL_WORD2	CNT_WD2
te3	SDH (STM-16) (2,5 GBit/s)	PID3 (z.B. A1- und A2-Byte im SOH eines SDH-Signals)	PLL_WORD3	CNT_WD3
te4	Gigabit-Ethernet (1,25 GBit/s)	PID4 (Idle; Präambel; SFD – "Start Frame Delimiter")	PLL_WORD4	CNT_WD4
te n	PIDn	PLL_WORDn	CNT_WDn

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

Inter. Application No
PCT/ 00/00641

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H04L25/02 H04L7/10 H04J3/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H04L H04J

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

COMPENDEX, INSPEC, EPO-Internal, PAJ, WPI Data, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 297 181 A (BARR KEITH ET AL) 22 March 1994 (1994-03-22) column 3, line 47 - line 54	1,2,5,13
Y	column 4, line 32 - line 68 column 6, line 24 - line 42 figures 6A,6B,7	3,4, 6-12,14
X	US 5 541 933 A (BASNUEVO ROGELIO J ET AL) 30 July 1996 (1996-07-30) column 1, line 17 - line 28 column 1, line 47 - line 58 column 3, line 59 -column 4, line 50 column 6, line 32 - line 47 column 11, line 35 -column 12, line 9 figures 2A,3	1,2,4-7, 9

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

31 July 2000

Date of mailing of the international search report

14/08/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Pieper, T

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 00/00641

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 572 515 A (WILLIAMSON ALISTAIR ET AL) 5 November 1996 (1996-11-05) column 1, line 13 - line 44 column 1, line 51 - line 63 column 4, line 38 - line 52 figures 5,6	4,6-12, 14
Y	ANONYMOUS: "Dynamic Automatic Optical Baud Rate Selection" IBM TECHNICAL DISCLOSURE BULLETIN, vol. 36, no. 5, 1 May 1993 (1993-05-01), pages 75-78, XP000885351 New York, US	3
A	page 76, line 1 - last line	14
A	WO 97 37451 A (DSC COMMUNICATIONS) 9 October 1997 (1997-10-09) page 4, line 3 -page 5, line 19	1,2,4,5, 14
A	USHIROZAWA M ET AL: "Bit-rate-independent SDH/SONET regenerator for optical network" IEE CONFERENCE PUBLICATION,UK,LONDON: IEE, vol. NO. 448, 22 September 1997 (1997-09-22), pages 25-28-28vol4, XP002106977 ISBN: 0-85296-697-0 page 26, paragraph 2 - paragraph 3 figure 3	1,5,6, 13,14
A	EP 0 862 272 A (DEUTSCHE TELEKOM AG) 2 September 1998 (1998-09-02) column 7, line 30 - line 39 abstract column 2, line 11 - line 42 column 5, line 12 -column 6, line 15	1,5,6, 10,12-14
A	SCHEYTT J C ET AL: "A 0.155, 0.622, and 2.488 Gb/s automatic bit rate selecting clock and data recovery IC for bit rate transparent SDH-systems" 1999 IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE. DIGEST OF TECHNICAL PAPERS. ISSCC. FIRST EDITION (CAT. NO.99CH36278), 1999 IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE. DIGEST OF TECHNICAL PAPERS. ISSCC. FIRST EDITION, SAN FRANCISCO, C, pages 348-349, XP002143895 1999, Piscataway, NJ, USA, IEEE, USA ISBN: 0-7803-5126-6 the whole document	1,5

-/--

INTERNATIONAL SEARCH REPORT

Inter. Application No

PCT/DE 00/00641

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	<p>WO 99 39483 A (HUBER MANFRED ; JAHREIS OLIVER (DE); SIEMENS AG (DE)) 5 August 1999 (1999-08-05) page 1, line 34 -page 2, line 3 page 3, line 10 - line 21 -----</p>	11

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 00/00641

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5297181	A	22-03-1994	AU 3585893	A 03-08-1993
			EP 0621994	A 02-11-1994
			JP 7506470	T 13-07-1995
			WO 9314562	A 22-07-1993
US 5541933	A	30-07-1996	NONE	
US 5572515	A	05-11-1996	NONE	
WO 9737451	A	09-10-1997	US 5867543	A 02-02-1999
			AU 2545097	A 22-10-1997
			CA 2250492	A 09-10-1997
			EP 0890233	A 13-01-1999
EP 0862272	A	02-09-1998	DE 19704299	A 27-08-1998
WO 9939483	A	05-08-1999	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H04L25/02 H04L7/10 H04J3/06

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H04L H04J

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

COMPENDEX, INSPEC, EPO-Internal, PAJ, WPI Data, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 297 181 A (BARR KEITH ET AL) 22. März 1994 (1994-03-22) Spalte 3, Zeile 47 - Zeile 54	1,2,5,13
Y	Spalte 4, Zeile 32 - Zeile 68 Spalte 6, Zeile 24 - Zeile 42 Abbildungen 6A,6B,7 ---	3,4, 6-12,14
X	US 5 541 933 A (BASNUEVO ROGELIO J ET AL) 30. Juli 1996 (1996-07-30) Spalte 1, Zeile 17 - Zeile 28 Spalte 1, Zeile 47 - Zeile 58 Spalte 3, Zeile 59 - Spalte 4, Zeile 50 Spalte 6, Zeile 32 - Zeile 47 Spalte 11, Zeile 35 - Spalte 12, Zeile 9 Abbildungen 2A,3 ---	1,2,4-7, 9

	-/-	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung befragt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

31. Juli 2000

Absenddatum des internationalen Recherchenberichts

14/08/2000

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Pieper, T

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 5 572 515 A (WILLIAMSON ALISTAIR ET AL) 5. November 1996 (1996-11-05) Spalte 1, Zeile 13 - Zeile 44 Spalte 1, Zeile 51 - Zeile 63 Spalte 4, Zeile 38 - Zeile 52 Abbildungen 5,6	4,6-12, 14
Y	ANONYMOUS: "Dynamic Automatic Optical Baud Rate Selection" IBM TECHNICAL DISCLOSURE BULLETIN, Bd. 36, Nr. 5, 1. Mai 1993 (1993-05-01), Seiten 75-78, XP000885351 New York, US	3
A	Seite 76, Zeile 1 - letzte Zeile	14
A	WO 97 37451 A (DSC COMMUNICATIONS) 9. Oktober 1997 (1997-10-09) Seite 4, Zeile 3 -Seite 5, Zeile 19	1,2,4,5, 14
A	USHIROZAWA M ET AL: "Bit-rate-independent SDH/SONET regenerator for optical network" IEE CONFERENCE PUBLICATION,UK,LONDON: IEE, Bd. NO. 448, 22. September 1997 (1997-09-22), Seiten 25-28-28vol4, XP002106977 ISBN: 0-85296-697-0 Seite 26, Absatz 2 - Absatz 3 Abbildung 3	1,5,6, 13,14
A	EP 0 862 272 A (DEUTSCHE TELEKOM AG) 2. September 1998 (1998-09-02) Spalte 7, Zeile 30 - Zeile 39 Zusammenfassung Spalte 2, Zeile 11 - Zeile 42 Spalte 5, Zeile 12 -Spalte 6, Zeile 15	1,5,6, 10,12-14
A	SCHEYTT J C ET AL: "A 0.155, 0.622, and 2.488 Gb/s automatic bit rate selecting clock and data recovery IC for bit rate transparent SDH-systems" 1999 IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE. DIGEST OF TECHNICAL PAPERS. ISSCC. FIRST EDITION (CAT. NO.99CH36278), 1999 IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE. DIGEST OF TECHNICAL PAPERS. ISSCC. FIRST EDITION, SAN FRANCISCO, C, Seiten 348-349, XP002143895 1999, Piscataway, NJ, USA, IEEE, USA ISBN: 0-7803-5126-6 das ganze Dokument	1,5

-/--

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
P, A	<p>WO 99 39483 A (HUBER MANFRED ; JAHREIS OLIVER (DE); SIEMENS AG (DE)) 5. August 1999 (1999-08-05) Seite 1, Zeile 34 - Seite 2, Zeile 3 Seite 3, Zeile 10 - Zeile 21</p>	11

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 00/00641

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5297181	A	22-03-1994	AU	3585893 A	03-08-1993
			EP	0621994 A	02-11-1994
			JP	7506470 T	13-07-1995
			WO	9314562 A	22-07-1993
US 5541933	A	30-07-1996	KEINE		
US 5572515	A	05-11-1996	KEINE		
WO 9737451	A	09-10-1997	US	5867543 A	02-02-1999
			AU	2545097 A	22-10-1997
			CA	2250492 A	09-10-1997
			EP	0890233 A	13-01-1999
EP 0862272	A	02-09-1998	DE	19704299 A	27-08-1998
WO 9939483	A	05-08-1999	KEINE		